

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 1999 European Patent Office. All rts. reserv.

2123839

Basic Patent (No,Kind,Date): JP 52076897 A2 770628 <No. of Patents: 001>

HALF TONE PICTURE DISPLAY DEVICE USING LIQUID CRYSTAL MATRIX  
PANEL (

English)

Patent Assignee: HITACHI LTD

Author (Inventor): SAITOU NAOTAKE

IPC: \*G09F-009/30; G09F-009/00; G02F-001/13; G06K-015/18

JAPIO Reference No: \*010139E006817;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

JP 52076897	A2	770628	JP 75152741	A	751223 (BASIC)
-------------	----	--------	-------------	---	----------------

Priority Data (No,Kind,Date):

JP 75152741	A	751223
-------------	---	--------

(c) 1999 JPO & JAPIO. All rts. reserv.

00117897

HALF TONE PICTURE DISPLAY DEVICE USING LIQUID CRYSTAL MATRIX PANEL

PUB. NO.: 52-076897 [JP 52076897 A]

PUBLISHED: June 28, 1977 (19770628)

INVENTOR(s): SAITO NAOTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation),  
JP(Japan)

APPL. NO.: 50-152741 [JP 75152741]

FILED: December 23, 1975 (19751223)

INTL CLASS: [2] G09F-009/30; G09F-009/00; G02F-001/13; G06K-015/18

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION

INSTRUMENTS --Optical Equipment); 45.3 (INFORMATION PROCESSING --

Input Output Units)

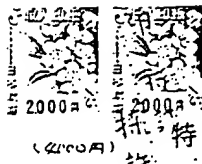
JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: E, Section No. 64, Vol. 01, No. 139, Pg. 6817,

November 15, 1977 (19771115)

#### ABSTRACT

PURPOSE: To reduce the number of logic operation circuits and make display of multiple tones by composing a half tone picture display device using a liquid crystal matrix panel with a device for generating reference pulse width signals of  $1 : 2 : 4 : \dots : 2^{(sup k)}$  in pulse width ratio and logic operation circuits combining these signals and the digital signals from a memory unit.



特 許 願

昭和 50 年 12 月 23 日

特許庁長官殿

1. 発明の名称

液晶マトリクスパネルによる中間調画像表示装置

2. 発明者

滋賀県彦根市西町2-9-2 寄地

株式会社 日立製作所 彦根工場内  
青 崎 尚 武

(ほか 3 名)

3. 特許出願人

東京都千代田区丸の内一丁目5番1号

510 株式会社 日立製作所

代表者 吉 山 博 吉

4. 代理人

滋賀県彦根市新堀2丁目16番1 ニュー新堀ビル703

6002 弁護士 北 村 欣

(ほか 3 名)

方式  
書 4

50 152741

明 細 書

1. 発明の名称

液晶マトリクスパネルによる中間調画像表示装置

2. 特許請求の範囲

液晶マトリクスパネルに対し異なる幅の輝度制御信号を使用し中間調画像表示を行なう装置において、パルス幅比が1:2:4:---:2<sup>n</sup>なる基準パルス幅信号を発生する装置と、該基準パルス幅信号と記憶装置からのデジタル信号とを組合わせる論理演算回路とを具備し輝度制御信号を発生させることを特徴とする液晶マトリクスパネルによる中間調画像表示装置。

3. 発明の詳細な説明

本発明は簡易な装置で階調数の多い中間調表示を行なう液晶マトリクスパネル表示装置に関する。

液晶は電圧を印加したとき光の透過率あるいは散乱光強度が変化するので液晶マトリクスを用い逐次走査方式により中間調表示を有する画

① 日本国特許庁

# 公開特許公報

①特開昭 52-76897

④公開日 昭52.(1977) 6.28

②特願昭 50-152741

②出願日 昭50.(1975) 12.23

審査請求 未請求 (全6頁)

庁内整理番号 7323 56

7013 54  
7129 54  
7348 23

⑤日本分類

101 E5  
101 E9  
104 G0  
979 B4

⑤ Int. Cl?

G09F 9/30  
G09F 9/00  
G02F 1/13  
G06k 15/18

識別  
記号

像表示が可能である。

液晶の表示の原理は、電界を印加しない時透明であるが、電界を印加すると白濁して不透明になる動的散乱モード(DSM)と、液晶の分子配列によつて屈折率あるいは透光性をもち、電界によつてその特性を制御できる電界効果モード(FEM)がある。

第1図は液晶の印加電圧に対する輝度特性である。印加電圧が液晶の臨界電圧によつて定まる値 $V_c$ を超えると、輝度は急激に上昇する。この値 $V_c$ をスレッシュホールド電圧という。

輝度特性は、印加電圧の実効値によつて定まり、矩形波電圧に依存しないことが知られている。液晶に直流電圧を印加すると寿命が短いため通常、矩形波による交流駆動を行なう。DSMあるいはFEMのいずれであつても、第1図と類似の特性をもつ。

第2図は、液晶マトリクスパネルを階層的に示したものである。これは液晶パネル $Y_1$ ~ $Y_n$ は走査電極(以下走査線またはY電極という)、S

～ $\Sigma$ は信号電圧(以下 $\Sigma$ 電圧という)である。 $\Sigma$ 電圧には、 $\Sigma$ 電圧駆動回路1によって走査信号電圧を印加し、 $\Sigma$ 電圧には、 $\Sigma$ 電圧駆動回路2によって信号電圧を印加すると、その交点の画素は、輝度を変化する。両電圧の交点が、画素をなす。順次走査においては、 $\Sigma_1, \Sigma_2, \Sigma_3, \Sigma_4$ には順次に選択信号電圧が印加され、 $\Sigma$ 電圧 $\Sigma_1, \Sigma_2, \Sigma_3, \Sigma_4$ には信号電圧が印加される。したがって、一本の走査線上の画素は、同時に輝度を変化する。第2図は、4行4列のマトリタスの場合を示したものである。

仮面マトリタスを順次に走査する場合、非選択電圧を開放すると、クロストークを生じて、正しい表示を行なうことができない。

クロストークを防ぐためには、交流駆動を行ない、パルス幅変調によつて、仮面の輝度を制御することが知られているから第3図によりそれを説明する。

第3図において、 $\phi_p$ はクロックパルス、 $\phi_s$ はパルス幅変調による輝度制御信号である。

(3)

$$m = \frac{2 \cdot \tau}{T} \quad (3)$$

$0 \leq \tau \leq \frac{1}{2}$ であるから、変調率 $m$ は、 $0 \leq m \leq 1$ となる。パルス幅 $\tau$ を変えることにより、 $m$ を変えることができるので、仮面の輝度を制御することができる。したがって、中間調を有する画素表示が可能となる。

第3図における輝度制御信号 $\phi_s$ は、第4図に示すようにして、発生させることができる。

一般に、順次走査を行なうためには、ラインメモリを必要とする。ラインメモリは、一画素に対して2ビットの容量をもつものとして、出力を $M_0, M_1$ とする。 $\phi_1 \sim \phi_4$ は、パルス幅変調信号(パルス幅を $\phi_1$ より $\phi_4$ に至る順に大としたもの)、3と4は合送回路、5～8は画素駆動回路、9は画素和回路である。

ラインメモリ出力 $M_0, M_1$ がデジタル値が00であれば $\phi_p = \phi_1$ 、01ならば $\phi_p = \phi_2$ 、10ならば $\phi_p = \phi_3$ 、11ならば $\phi_p = \phi_4$ となる。

したがってテレビジョン映像信号のような仮面

(5)

$\Sigma$ 電圧は、通常、シフトレジスタによつて走査される。 $\Sigma_1$ は $\Sigma_1$ 電圧を走査するシフトレジスタの出力である。 $V_y$ は、 $\Sigma$ 電圧に印加される電圧、 $V_x$ は $\Sigma$ 電圧に印加される電圧、 $V_y - V_x$ は、仮面に印加される電圧である。

第3図で、 $\tau$ は走査線が選択されている時間である。また、 $\phi_1$ と $\phi_2$ は等しい。 $V_y$ は、 $\phi_1$ では $(1 - \frac{1}{m}) V_0$ 、 $\phi_2$ では $-(1 - \frac{1}{m}) V_0$ であるようににする。 $V_x$ は、 $\phi_1$ では、期間 $\tau$ では $-\frac{1}{m} V_0$ 、期間 $\phi_1 - \tau$ では $\frac{1}{m} V_0$ であるようにする。 $\phi_2$ では、極性が反転するようにする。このようにして、仮面は交流駆動される。走査線数を $M$ 本とすると、 $m$ は次の式を満足した時、最適駆動条件となることが知られている。

$$m = \sqrt{M + 1} \quad (1)$$

仮面に印加される実効電圧 $V_0$ は、次の式で与えられる。

$$V_0 = \frac{1}{m} V_0 \sqrt{1 + \frac{(m-1)(4m-3)}{m}} \quad (2)$$

(4)

号を $\Delta D$ 変換しラインメモリに記憶させ、その出力によつて異なる幅のパルス信号が得られるから、前述のように変調率 $m$ を変え中間調を有する画素表示が可能となる。以上は4画素表示の場合であるが、画素数を増すと、パルス幅変調信号の数も増加するため使用する画素駆動回路の数が多大となり回路構成が複雑化し、装置は高価になる。例えば8画素表示の場合は8画素の画素駆動回路と1個の画素和回路が必要となる欠点があつた。

本発明の目的は前述の欠点を改善し、簡易な装置によつて画素数の多い中間調表示を行なう仮面マトリタス装置を提供することにある。

第5図は、8画素表示を行なうためのパルス幅変調信号による輝度制御信号を説明する図である。 $\phi_1, \phi_2, \phi_3$ は、第5図に示すようにそれぞれ発生時期が異なり、パルス幅比が1:2:4の基準パルス幅信号を示す。 $\phi_1, \phi_2, \phi_3$ の組み合わせによつて、8種類のパルス幅変調信号 $\phi_1, \phi_2, \dots, \phi_7$ を発生させることができる。すなわち

$$\left. \begin{aligned} r_0 &= 0 & r_1 &= P_1 \\ r_2 &= P_2 & r_3 &= P_1 + P_2 \\ r_4 &= P_1 & r_5 &= P_1 + P_2 \\ r_6 &= P_1 + P_2 & r_7 &= P_1 + P_2 + P_1 \end{aligned} \right\} \quad (5)$$

それぞれのペルス幅変調信号のペルス幅比は、つぎのようになる。

$$r_0 : r_1 : r_2 : \dots : r_7 = 0 : 1 : 2 : \dots : 7 \quad (5)$$

例えば  $r_3$  は、ペルス幅が 1 と 4 の 2 つのペルスから成り立っている。振幅の増大は、実効電圧に依存するので、 $r_3$  は、ペルス幅 5 をもつ単一ペルスと等価である。したがってペルス幅変調信号  $r_0, r_1, r_2, \dots, r_7$  を用いて振幅の増大を制御することができる。

第 6 図は第 5 図のペルス  $P_1, P_2, P_3$  を用い振幅変調信号  $T_p$  を発生する本発明装置の構成を示す回路図である。第 6 図において  $P_1$  は第 5 図  $P_1, P_2, P_3$  のようなペルス幅比が 1 : 2 : 4 :  $\dots : 2^k$  なる基準ペルス幅信号を発生する装置、1 6 ~ 1 7 は論理回路、1 8 は論理和回路、

(7)

量の増大を第 1 0 図に示す。第 9 図において  $r$  は映像信号、 $H_0$  は水平同期ペルスを示し、期間  $t_1$  でラインメモリに記憶された映像信号は期間  $t_2$  で表示されることとなる。第 1 0 図において 1 9 は 7 ビットのシフトレジスタを示し、 $b_1$  乃至  $b_7$  は出力ビットを示す。2 0、2 1、2 2 は J-K フリップフロップ、2 3 はシフトレジスタ 1 9 を動作させるクロックペルス  $Q_p$  の発生器、2 4、2 5 は否定回路、2 6、2 7 は論理回路、2 8、2 9、3 0 は論理和である。

クロックペルス発生器 2 3 は第 9 図の水平同期ペルス  $H_0$  の無いときクロックペルス  $Q_p$  を発生し続けるよう構成する。

第 1 0 図の動作タイミングチャートを第 1 1 図に示す。始めにクリアペルス  $Q_L$  によつてフリップフロップ 2 0 をクリアする。次いで水平同期ペルス  $H_0$  を否定回路 2 6 によつて否定した出力  $\overline{H_0}$  によつてシフトレジスタ 1 9 の全ビット及びフリップフロップ 2 1、2 2 をクリアする。フリップフロップ 2 0 の出力  $Q_0$  は  $H_0$  によつて 1

(8)

$M_0, M_1, M_2$  はそれぞれラインメモリの出力の印加される端子を示す。

第 6 図に示す装置は第 4 図について説明したと同様にラインメモリの出力の有無に応じて各論理回路が動作し、基準ペルス幅信号を組合せることにより第 8 図に示す信号が得られる。なお論理回路は 1 5 ~ 1 8 に図示する以外に  $M, A, M, D$  回路等の回路を使用することも可能である。

この構成により例えば  $k$  増大の表示を行なうとき、第 6 図では  $k$  個の論理回路を必要とするが第 6 図の例では  $(\log_2 k) + 1$  個で済む。

次に  $T_p = r_3$  とした場合の振幅マトリクスペルスの増大波形図を第 7 図に、また 2 フレームで交差動作を行なった場合の波形図を第 8 図に示し、これらは第 5 図と同様であるから説明を省略する。

ここで第 9 図に示すテレビジョン信号を 8 増大表示する場合に第 6 図の  $P_1, P_2, P_3$  を発生するよう第 6 図の基準ペルス幅信号を発生する

(9)

にセフトされ、 $Q_0$  はシフトレジスタ 1 9 の入力に印加されているので以後シフトレジスタ 1 9 の各ビット  $b_1, b_2, \dots, b_7$  はクロックペルス  $Q_p$  ごとに逐次 1 になる。したがって基準ペルス幅信号  $P_1, P_2, P_3$  は論理和回路 2 9、3 0 の動作により次式で与えられる

$$\left. \begin{aligned} P_1 &= b_1 \\ P_2 &= b_1 + b_2 \\ P_3 &= b_1 + b_2 + b_3 + b_4 \end{aligned} \right\} \quad (9)$$

次に出力が生じたときフリップフロップ 2 1 の出力  $Q_1$  が 1 となり、 $b_1$  はシフトレジスタ 1 9 の入力側にもどされる。次に  $b_2$  に再び出力が生じると  $Q_2$  は 0 にもどりフリップフロップ 2 2 の出力  $Q_2$  は 1 ( $\overline{Q_2}$  は 0) になつてシフトレジスタ 1 9 はクリアされ動作は停止する。ここで第 1 1 図に示す波形即ち基準ペルス幅信号  $P_1, P_2, P_3$  が得られる。なお第 1 1 図に示す  $t_1$  と  $t_2$  の時間は動作上無意味な時間があるが、クロックペルス  $Q_p$  の周波数を変えることによつて実用上支えないう程度に小さくすることができる。第 1 0 図の

速度と第6図位置とにより第7図の駆動波形を得ることができ、第10図のうち論理回路27の一方の入力をフリップフロップ22の出力 $\overline{Q_2}$ よりフリップフロップ21の出力 $\overline{Q_1}$ に引換え、且つクロックパルス $Q_2$ の駆動波を与えることにより第8図に示す駆動波形を得ることができる。

このようにして本発明によると第4図の従来例と比較して使用する論理演算回路の数を大幅に減少させることができ、回路構成が簡易で安価なものを使用して多層板の中間表示を行なうことができる。また使用回路はデジタル回路で構成されているからこれを大規模集積回路化するに好適である。

#### 6. 図面の簡単な説明

第1図は液晶の印加電圧対速度特性を示す図、第2図は液晶マトリクスパネルの駆動図、第3図は1フーズトで交流駆動となる液晶の駆動波形図、第4図は従来のパルス幅変調による速度制御信号発生器、第5図は本発明による速度制

御信号を説明する図、第6図は本発明実施例の要部を示す回路図、第7図、第8図は本発明による液晶の駆動波形図、第9図は第6図中の基準パルス幅信号を発生する回路の具体例図、第10図はテレビジョン信号波形図、第11図は第9図の動作タイミングチャートを示す。

L0…液晶マトリクスパネル、P3…基準パルス幅信号を発生する回路、15…16…論理演算回路

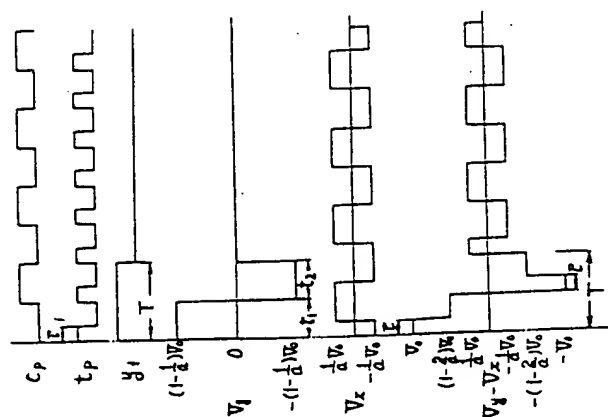
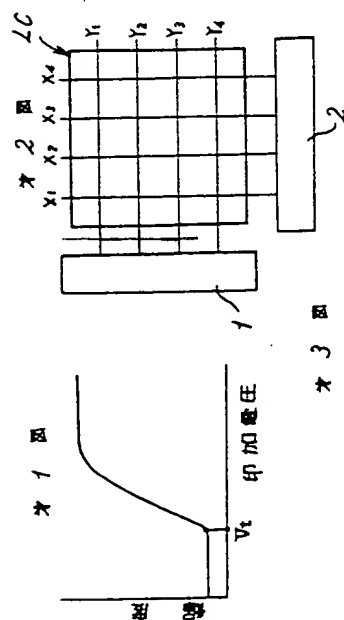
特許出願人

株式会社日立製作所

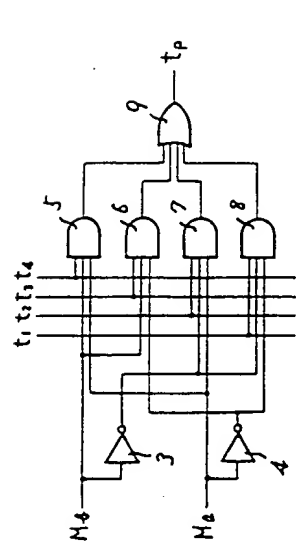
代理人

北村 欣一

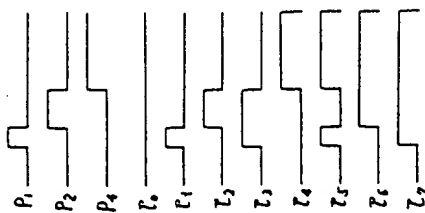
外3名



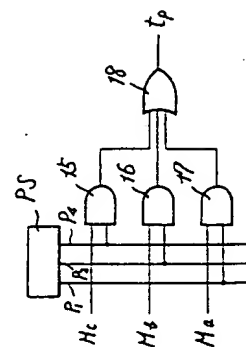
★ 4 図



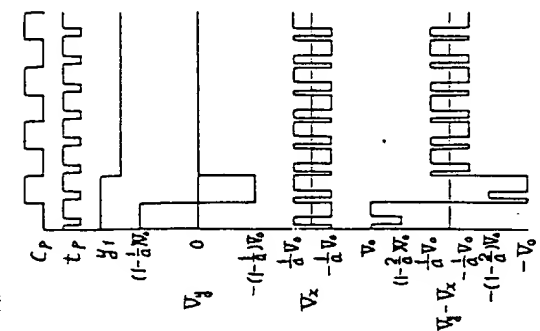
★ 5 図



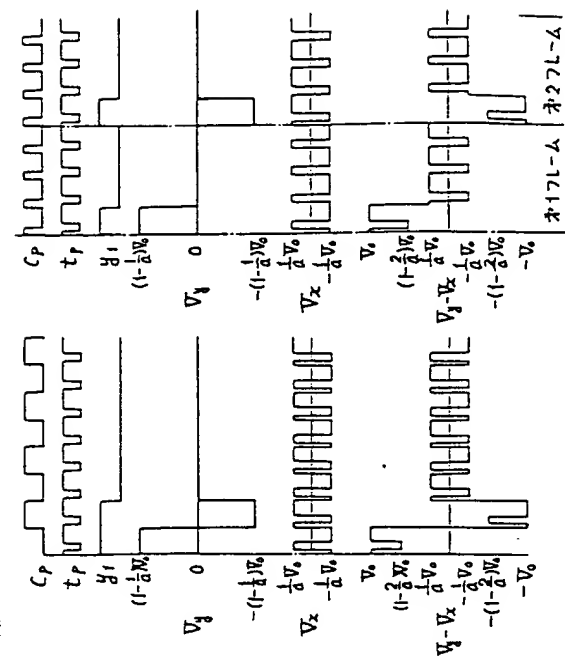
★ 6 図



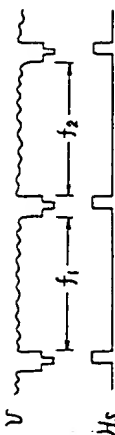
★ 7 図



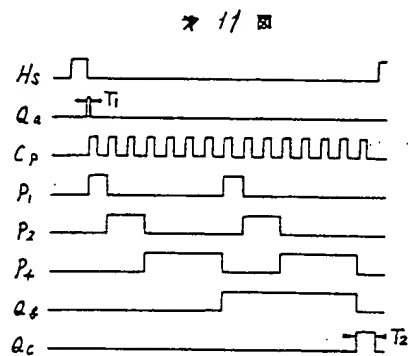
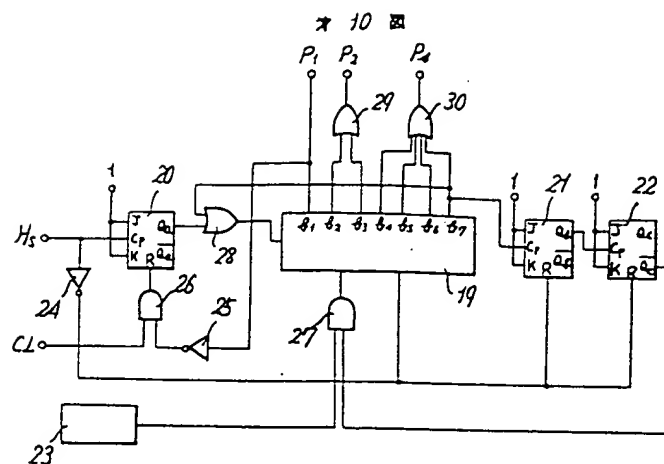
★ 8 図



★ 9 図







## 5. 添付書類の目録

(1) 明 細 書	1 通
(2) 図 面	1 通
(3) 願 書 附 本	1 通
(4) 委 任 状	1 通
(5) 出願書送附状	1 通

## 6. 前記以外の発明者、特許出願人または代理人

(1) 発 明 者

(2) 特 許 出 願 人

(3) 代 理 人

東京都港区新橋2丁目16番1 ニュー新橋ビル703

6432 弁護士 北 村 和 男

7067 弁護士 鐘 田 薫

7359 弁護士 鈴 木 栄

